

(11) Laid-Open No.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-177102

(P2001-177102A)

(43) 公開日 平成13年6月29日 (2001.6.29) Laid-open Date

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 9 B 2 H 0 9 2
G 0 2 F 1/1365		G 0 2 F 1/136	5 0 0 5 F 1 1 0

審査請求 有 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-360973  
Appl. No.

(22) 出願日 平成11年12月20日 (1999. 12. 20)  
Filing Date.

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 白石 均

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100095740

弁理士 関口 宗昭

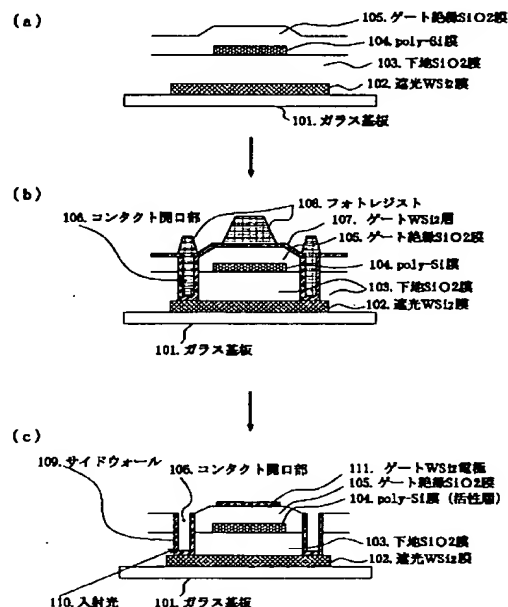
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【要約】

【課題】 斜めからの入射光 110、及び入射光 110 が乱反射を起こすことにより間接的に入射する光についても、遮光可能な薄膜トランジスタの構造及びその構造を工程数を増やすことなく簡易なプロセスで製造可能な製造方法を提供する。

【解決手段】 活性層となる poly-Si 膜 104 の両側のそれぞれにおいて、ゲート絶縁 SiO<sub>2</sub> 膜 105 及び下地 SiO<sub>2</sub> 膜 103 を遮光 WSi<sub>2</sub> 膜 102 が露出するまで選択的異方性エッチングし、コンタクト開口部 106 を形成する。その後、ゲート WSi<sub>2</sub> 層 107 をスパッタ成膜し、さらに、フォトレジスト 108 をマスクとしてドライエッチングを実施し、ゲート WSi<sub>2</sub> 電極 111 と WSi<sub>2</sub> からなるサイドウォール 109 を同時に形成する。これにより、サイドウォール 109 の下端を遮光 WSi<sub>2</sub> 膜 102 に接触させ上端をゲート絶縁 SiO<sub>2</sub> 膜 105 上面とほぼ同一高さに位置させる。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 透明基板上に遮光膜をパターン成膜する工程と、前記透明基板及び前記遮光膜上に半導体膜を成膜する工程と、前記遮光膜直上の活性層となる半導体部分及び前記半導体膜の上にゲート絶縁膜を成膜する工程と、前記活性層となる半導体部分の両側のそれぞれにおいて、前記遮光膜上の前記ゲート絶縁膜及び半導体膜を前記遮光膜が露出するまで選択的異方性エッチングし、コンタクト開口部を形成する工程と、前記ゲート絶縁膜の上面及びコンタクト開口部に遮光性を有する導電膜を成膜する工程と、前記ゲート絶縁膜上のゲート電極形成部及び前記コンタクト開口部以外の前記導電膜を除去するエッチング工程とを備える薄膜トランジスタの製造方法。

【請求項2】 前記エッチング工程は、フォトレジストで前記ゲート絶縁膜上のゲート電極形成部及び前記コンタクト開口部をマスクする工程を含むことを特徴とする請求項1に記載の薄膜トランジスタの製造方法。

【請求項3】 前記エッチング工程は、フォトレジストで前記ゲート絶縁膜上のゲート電極形成部をマスクする工程と、異方性エッチングを行う工程とを含むことを特徴とする請求項1に記載の薄膜トランジスタの製造方法。

【請求項4】 透明基板上に形成された遮光膜と、前記遮光膜上に形成された半導体膜と、前記遮光膜直上に形成された活性層と、前記活性層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記活性層の両側位置かつ前記遮光膜の上位置に形成され、かつ、前記遮光膜まで通ずるコンタクト開口部とを備え、下端を前記遮光膜に接触させ上端を前記ゲート絶縁膜上面とほぼ同一高さ位置させる遮光側壁であって、前記ゲート電極と同一化合物からなる遮光側壁が前記コンタクト開口部に形成されてなることを特徴とする薄膜トランジスタ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（TFT:Thin Film Transistor）及びその製造方法に関するものである。薄膜トランジスタは、例えば、アクティブマトリクス型液晶表示装置及びイメージセンサーに利用される。

【0002】

【従来の技術】従来の薄膜トランジスタの製造方法の一例においては、図3に示すように、ガラス基板301上に遮光膜としての遮光WSi2膜302を成膜し、エッチング加工し、その後下地半導体膜としての下地SiO2膜303を5000Å程度CVD成膜したのち、遮光WSi2膜302直上に活性層となるpoly-Si膜304をパターン形成し、さらにゲート絶縁膜としてのゲート絶縁SiO2膜305を成膜した後、ゲートWSi

2層をスパッタ成膜し、エッチング加工することによりゲートWSi2電極306を形成することが行われていた。光リーク対策としての遮光WSi2膜302の遮光効果を高める為に、従来、上記の構成に対して、遮光WSi2膜302の膜厚を1000Åとしていたものを2000Å程度までに厚くするというように、遮光膜を厚膜化する策を講じていた。

【0003】

【発明が解決しようとする課題】しかし、従来の薄膜トランジスタの製造方法においては、斜めより入射する入射光307の侵入を回避することは困難であり、斜めからの入射光307がTFTの活性層部分たるpoly-Si膜304に当たることにより光リーク電流が発生するという問題が生じていた。上述したような遮光WSi2膜302の遮光効果を高める為に遮光膜膜厚を厚くする方策によっても、光リーク電流の発生の問題を解決することはできない。なぜなら、遮光WSi2膜302の遮光効果を高める為に遮光膜膜厚を厚くする方策においては、遮光膜の増加によりTFT部分に直接的に入射する光であって、ガラス基板301にほぼ直角に入射する光については光の透過を防止する効果は増すが、一方、斜めからの入射光307、及び入射光307が乱反射を起こすことにより間接的に入射する光については完全に侵入を回避することが困難だからである。

【0004】本発明は以上の従来技術における問題に鑑みてなされたものであって、斜めからの入射光307、及び入射光307が乱反射を起こすことにより間接的に入射する光についても、遮光可能な薄膜トランジスタの構造及びその製造方法を提供し、薄膜トランジスタの光リーク電流の発生を防止することを課題とする。また、製造方法に関しては、既存の工程を有効に利用して、工程数を増やすことなく簡易なプロセスで遮光効果を格段に高める薄膜トランジスタの構造を形成できる製造方法を提供することを課題とする。

【0005】

【課題を解決するための手段】前記課題を解決する本出願第1の発明は、透明基板上に遮光膜をパターン成膜する工程と、前記透明基板及び前記遮光膜上に半導体膜を成膜する工程と、前記遮光膜直上の活性層となる半導体部分及び前記半導体膜の上にゲート絶縁膜を成膜する工程と、前記活性層となる半導体部分の両側のそれぞれにおいて、前記遮光膜上の前記ゲート絶縁膜及び半導体膜を前記遮光膜が露出するまで選択的異方性エッチングし、コンタクト開口部を形成する工程と、前記ゲート絶縁膜の上面及びコンタクト開口部に遮光性を有する導電膜を成膜する工程と、前記ゲート絶縁膜上のゲート電極形成部及び前記コンタクト開口部以外の前記導電膜を除去するエッチング工程とを備える薄膜トランジスタの製造方法である。

【0006】したがって本出願第1の発明の薄膜トラン

ジスタの製造方法によれば、前記活性層となる半導体部分の両側のそれぞれにおいて、前記遮光膜上の前記ゲート絶縁膜及び半導体膜を前記遮光膜が露出するまで選択的異方性エッチングし、コンタクト開口部を形成する工程と、前記ゲート絶縁膜の上面及びコンタクト開口部に遮光性を有する導電膜を成膜する工程と、前記ゲート絶縁膜上のゲート電極形成部及び前記コンタクト開口部以外の前記導電膜を除去するエッチング工程とを備えるので、かかるエッチングにより、ゲート電極が形成される同時に、活性層となる半導体部分の両側に、下端を遮光膜に接し上端をゲート絶縁膜上面とほぼ同一高さに位置させる遮光性を有するサイドウォール（遮光側壁）が形成できる。したがって、本製造方法により形成された薄膜トランジスタは、透明基板の裏側から入射するあらゆる角度の入射光及びその乱反射成分の光が活性層に到達する前に完全に遮断することができるサイドウォールを有し、このサイドウォールによって光リーク電流の発生を防止することができるという利点がある。また、製造工程上は、ゲート電極の形成工程を利用することによって極めて簡単に、光リーク電流の発生を阻止する有効な手段たるサイドウォールを形成することができるという利点がある。遮光性を有する導電膜は、ゲート電極を形成するものであり、タングステンシリサイド（ $\text{WSi}_2$ ）や、モリブデンシリサイド（ $\text{MoSi}_2$ ）、チタンシリサイド（ $\text{TiSi}_2$ ）、コバルトシリサイド（ $\text{CoSi}_2$ ）などの金属ケイ化物（シリサイド）を用いることができる。

【0007】また本出願第2の発明は、本出願第1の発明の薄膜トランジスタの製造方法において、前記エッチング工程は、フォトリソで前記ゲート絶縁膜上のゲート電極形成部及び前記コンタクト開口部をマスクする工程を含むことを特徴とする。

【0008】したがって本出願第2の発明の薄膜トランジスタの製造方法によれば、本出願第1の発明の利点があるとともに、フォトリソでゲート絶縁膜上のゲート電極形成部のみならず、コンタクト開口部をマスクするので、確実にコンタクト開口部に遮光性のある導電膜を残すことができ、上述のサイドウォールを形成することができるという利点がある。

【0009】また本出願第3の発明は、本出願第1の発明の薄膜トランジスタの製造方法において、前記エッチング工程は、フォトリソで前記ゲート絶縁膜上のゲート電極形成部をマスクする工程と、異方性エッチングを行う工程とを含むことを特徴とする。

【0010】したがって本出願第3の発明の薄膜トランジスタの製造方法によれば、本出願第1の発明の利点があるとともに、フォトリソで前記ゲート絶縁膜上のゲート電極形成部をマスクし、コンタクト開口部についてはマスクしないので、ゲート電極形成するためのマスクパターンをそのまま使用することができ、マスクパタ

ーンの変更を要さないという利点がある。また、異方性エッチングを行うので、横方向へはエッチングが進みにくいという異方性エッチングの性質により、マスクされないコンタクト開口部に遮光性のある導電膜を残すことができ、上述のサイドウォールを形成することができるという利点がある。異方性エッチングは、反応性イオンエッチング、スパッタエッチング、イオンビームエッチング等のドライエッチングにより行うことができる。

【0011】また本出願第4の発明は、透明基板上に形成された遮光膜と、前記遮光膜上に形成された半導体膜と、前記遮光膜直上に形成された活性層と、前記活性層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記活性層の両側位置かつ前記遮光膜の上位置に形成され、かつ、前記遮光膜まで通ずるコンタクト開口部とを備え、下端を前記遮光膜に接触させ上端を前記ゲート絶縁膜上面とほぼ同一高さに位置させる遮光側壁であって、前記ゲート電極と同一化合物からなる遮光側壁が前記コンタクト開口部に形成されてなることを特徴とする薄膜トランジスタである。

【0012】したがって本出願第4の発明の薄膜トランジスタによれば、活性層の両側位置において、遮光性を有するサイドウォール（遮光側壁）が、その下端を遮光膜に接触させ、その上端をゲート絶縁膜上面とほぼ同一高さに位置させるので、透明基板の裏側から入射するあらゆる角度の入射光及びその乱反射成分の光が活性層に到達する前に完全に遮断することができるという利点がある。また、このサイドウォール（遮光側壁）は、ゲート電極と同一化合物からなり、遮光膜の上位置に形成され、かつ、前記遮光膜まで通ずるコンタクト開口部に形成されるので、本出願第4の発明の薄膜トランジスタは、本出願第1、第2又は第3の発明の薄膜トランジスタの製造方法により、ゲート電極の形成工程を利用することによって工程の増加や変更をもたらすことなく極めて簡単に製造することができるという利点がある。

【0013】

【発明の実施の形態】以下に本発明の実施の形態の薄膜トランジスタ及びその製造方法につき図面を参照して説明する。

【0014】実施の形態1

まず、本発明の実施の形態1の薄膜トランジスタの製造方法につき、図1を参照して説明する。図1は本発明の実施の形態1の薄膜トランジスタの構造及び製造方法を説明するための薄膜トランジスタの断面図である。

【0015】まず、ガラス基板101上に遮光膜としての遮光 $\text{WSi}_2$ 膜102を1000Å程度成膜し、エッチング加工する。その後下地半導体膜としての下地 $\text{SiO}_2$ 膜103を5000Å程度CVD成膜したのち、遮光 $\text{WSi}_2$ 膜102直上に活性層となる $\text{poly-Si}$ 膜104をパターン形成する。さらにゲート絶縁膜としてのゲート絶縁 $\text{SiO}_2$ 膜105を成膜する（図1（a））。

【0016】次に、活性層となる $\text{poly-Si}$ 膜104の両側位置となる遮光パターン両端において、サブミクロン程度の細いコンタクト開口部106を選択的異方性エッチングにより遮光 $\text{WSi}_2$ 膜102が露出するまで形成する。その後、遮光性を有する導電膜としてのゲート $\text{WSi}_2$ 層107をスパッタ成膜する。すると、ゲート絶縁 $\text{SiO}_2$ 膜105の上面、コンタクト開口部106の内側面及びコンタクト開口部106によって露出した遮光 $\text{WSi}_2$ 膜102の上面に、ゲート $\text{WSi}_2$ 層107が形成される。この状態で、フォトリソ108でゲート $\text{WSi}_2$ 電極の形成部分及び前記コンタクト開口部106をマスクする(図1(b))。

【0017】次に、ドライエッチングを実施した後フォトリソ108を剥離する。これにより、ゲート $\text{WSi}_2$ 層107のうち、フォトリソ108でマスクされない部分が除去され、ゲート $\text{WSi}_2$ 電極111が形成されるとともに、コンタクト開口部106の内側面及び遮光 $\text{WSi}_2$ 膜102の上面に形成されたゲート $\text{WSi}_2$ 層107が残される。このコンタクト開口部106の内側面及び遮光 $\text{WSi}_2$ 膜102の上面に残されたゲート $\text{WSi}_2$ 層107が $\text{WSi}_2$ からなるサイドウォール109となる(図1(c))。以上の工程により、実施の形態1における薄膜トランジスタが形成される。

【0018】次に、実施の形態1における薄膜トランジスタの構造を図4を参照して説明する。後に説明する実施の形態2の薄膜トランジスタの構造も図4に示す構造と同様である。図4は実施の形態1又は実施の形態2の薄膜トランジスタの上面図であって、内部構成物の輪郭を破線で示すものである。図4に示すように、コンタクト開口部106は、 $\text{poly-Si}$ 活性層104の両側に設けられる。従ってアルミ配線405は $\text{poly-Si}$ 活性層104を被覆しつつ両側の遮光コンタクト側に張り出す形状となる。なお、図4のA-A対角線断面図が図1(c)となる。

【0019】図1(c)に示されるように、実施の形態1における薄膜トランジスタは、透明基板たるガラス基板101上に形成された遮光 $\text{WSi}_2$ 膜102と、遮光 $\text{WSi}_2$ 膜102上に形成された半導体膜たる下地 $\text{SiO}_2$ 膜103と、遮光 $\text{WSi}_2$ 膜102上に形成された $\text{poly-Si}$ 活性層104と、 $\text{poly-Si}$ 活性層104上に形成されたゲート絶縁 $\text{SiO}_2$ 膜105と、ゲート絶縁 $\text{SiO}_2$ 膜105上に形成されたゲート $\text{WSi}_2$ 電極111と、 $\text{poly-Si}$ 活性層104の両側位置かつ遮光 $\text{WSi}_2$ 膜102の上位置に形成され、かつ、遮光 $\text{WSi}_2$ 膜102まで通ずるコンタクト開口部106とを備え、下端を遮光 $\text{WSi}_2$ 膜102に接触させ上端をゲート絶縁 $\text{SiO}_2$ 膜105上面とはほぼ同一高さに位置させる遮光側壁であって、ゲート $\text{WSi}_2$ 電極111と同一化合物たる $\text{WSi}_2$ からなる遮光側壁たるサイドウォール109がコンタクト開口部106に形成

されてなる構造を有する。

【0020】薄膜トランジスタにおいては、実際に投射した際に裏面からのさまざまな角度から光が入射しその光が直接ないし乱反射等間接的にTFT部分の $\text{poly-Si}$ 活性層104に照射されることにより、光リーク電流が発生する現象が発生していた。本発明の製造方法で形成した薄膜トランジスタにおいては、かかる光リーク電流を完全に遮断する為にTFT部分の $\text{poly-Si}$ 活性層104のみならずゲート絶縁 $\text{SiO}_2$ 膜105上迄 $\text{WSi}_2$ のサイドウォール109を縦方向に形成することで、少なくとも裏面から入射する斜め方向からの入射光110、及び乱反射成分の光をTFT部分に達する前に完全に遮断することができる。かかるサイドウォールは、以下に説明する実施の形態2の薄膜トランジスタの製造方法によっても形成可能であり、実施の形態1と同様に、サイドウォールによる遮断効果が得られる。

【0021】実施の形態2

次に本発明の実施の形態2の薄膜トランジスタ及びその製造方法につき図2を参照して説明する。図2は本発明の実施の形態2の薄膜トランジスタの構造及び製造方法を説明するための薄膜トランジスタの断面図である。

【0022】まず、ガラス基板201上に遮光膜としての遮光 $\text{WSi}_2$ 膜202を1000Å程度成膜し、エッチング加工する。その後下地半導体膜としての下地 $\text{SiO}_2$ 膜203を5000Å程度CVD成膜したのち、遮光膜パターン直上に活性層となる $\text{poly-Si}$ 膜204をパターン形成する。さらにゲート絶縁膜としてのゲート絶縁 $\text{SiO}_2$ 膜205を成膜する(図2(a))。

【0023】次に、活性層となる $\text{poly-Si}$ 膜204の両側位置となる遮光パターン両端において、サブミクロン程度の細いコンタクト開口部206を選択的異方性エッチングにより遮光 $\text{WSi}_2$ 膜202が露出するまで形成する。その後、遮光性を有する導電膜としてのゲート $\text{WSi}_2$ 層207をスパッタ成膜する。すると、ゲート絶縁 $\text{SiO}_2$ 膜205の上面、コンタクト開口部206の内側面及びコンタクト開口部206によって露出した遮光 $\text{WSi}_2$ 膜202の上面に、ゲート $\text{WSi}_2$ 層207が形成される。この状態で、フォトリソ208でゲート $\text{WSi}_2$ 電極の形成部分をマスクする(図2(b))。

【0024】次に、ドライエッチングを実施した後フォトリソ208を剥離する。これにより、ゲート $\text{WSi}_2$ 層207のうち、フォトリソ208でマスクされない部分が除去され、ゲート $\text{WSi}_2$ 電極211が形成されるとともに、コンタクト開口部206の内側面に形成されたゲート $\text{WSi}_2$ 層207が残される。このコンタクト開口部206の内側面に残されたゲート $\text{WSi}_2$ 層207が $\text{WSi}_2$ からなるサイドウォール209となる(図2(c))。以上の工程により、実施の形態2における薄膜トランジスタが形成される。

【0025】次に、実施の形態2における薄膜トランジスタの構造を図4を参照して説明する。なお上述のように実施の形態1の薄膜トランジスタの構造も図4に示す構造と同様である。図4は実施の形態1又は実施の形態2の薄膜トランジスタの上面図であって、内部構成物の輪郭を破線で示すものである。図4に示すように、コンタクト開口部206は、poly-Si活性層204の両側に設けられる。従ってアルミ配線405はpoly-Si活性層204を被覆しつつ両側の遮光コンタクト側に張り出す形状となる。なお、図4のA-A対角線断面図が図2(c)となる。

【0026】実施の形態1においては、ゲート電極形成部分のみならず遮光コンタクト部分にもレジストパターンを形成する為に、従来のゲート電極形成のマスクを変更する必要があった。それに対して実施の形態2においては、従来のゲート電極形成用のマスクパターンのままでもコンタクト開口部にサイドウォール層が実施の形態1とほぼ同じ精度で形成できる。具体的には、遮光コンタクト部分については、コンタクト開口部206内側面はドライエッチングが横方向へはエッチングが進みにくいという反応性イオンエッチングの性質からWSi2サイドウォール層が充分に残される。また、コンタクト開口部206によって露出した遮光WSi2膜202の上面に形成されたゲートWSi2層207がエッチング除去されても、その下の遮光WSi2膜が残るため、コンタクト開口部206の底面からWSi2層がエッチング消失してしまうことはない。しかし、実質的には、コンタクト開口径がサブミクロン程度であるために、マイクロローディング効果によりコンタクト底面ではエッチングが殆ど進まない。従って、このマイクロローディング効果が有効に働く場合には、従来のゲート電極形成マスクをそのまま使用する実施の形態2においても、コンタクト開口部206によって露出した遮光WSi2膜202の上面に形成されたゲートWSi2層207がエッチング除去されずに残り、実施の形態1と同等のコンタクト開口部及びWSi2層からなるサイドウォールを形成することができる。

【0027】

【発明の効果】上述のように本発明は、WSi2等の遮光性を有する材料からなるサイドウォールを活性層のみならずゲート絶縁膜上の高さにまで形成し、このサイドウォールにより、少なくともガラス基板の裏面からTFT部分の活性層に斜め方向から入射する光、及びその乱反射成分の光をTFT部分に達する前に完全に遮断することが幾何学的に可能となっているため、遮光膜の厚み増加のみでは遮光しきれない斜めからの入射光及びその反射成分を、上記サイドウォールにより遮断することができるという効果がある。また、上記サイドウォールを

ゲートWSi2膜形成と同時に形成することで、プロセスの負荷を軽減し工程の簡略化が図れるという効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の薄膜トランジスタの構造及び製造方法を説明するための薄膜トランジスタの断面図である。

【図2】 本発明の実施の形態2の薄膜トランジスタの構造及び製造方法を説明するための薄膜トランジスタの断面図である。

【図3】 従来の薄膜トランジスタの製造方法を説明するための断面図である。

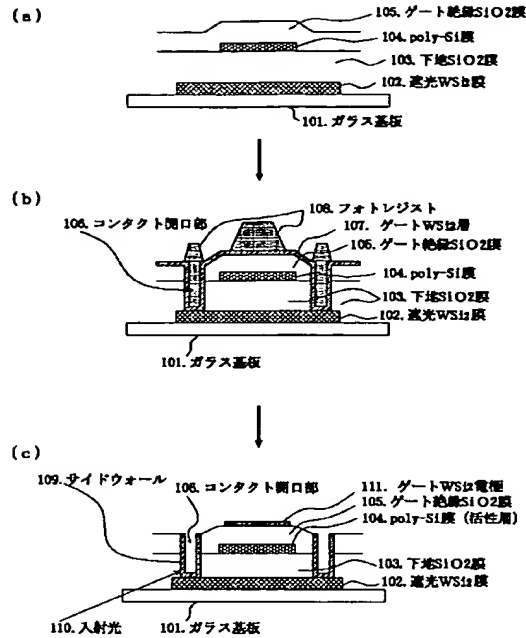
【図4】 実施の形態1又は実施の形態2の薄膜トランジスタの上面図であって、内部構成物の輪郭を破線で示すものである。

【符号の説明】

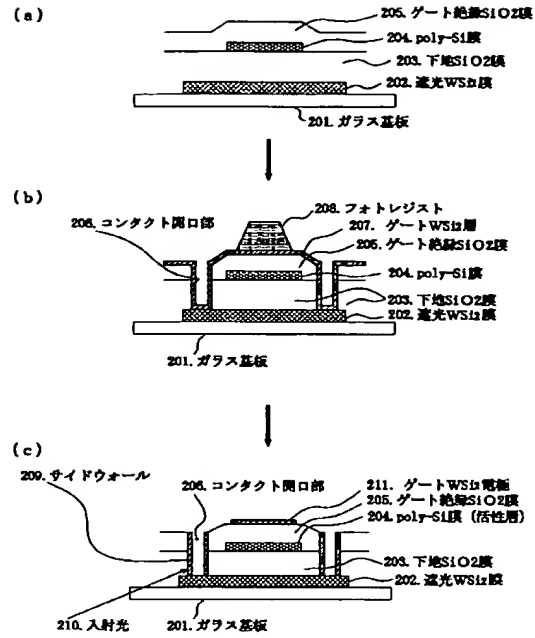
【符号の説明】

- 101 ガラス基板
- 102 遮光WSi2膜
- 103 下地SiO2膜
- 104 poly-Si膜
- 105 ゲート絶縁SiO2膜
- 106 コンタクト開口部
- 107 ゲートWSi2層
- 108 フォトリソ
- 109 サイドウォール
- 110 入射光
- 111 ゲートWSi2電極
- 201 ガラス基板
- 202 遮光WSi2膜
- 203 下地SiO2膜
- 204 poly-Si膜
- 205 ゲート絶縁SiO2膜
- 206 コンタクト開口部
- 207 ゲートWSi2層
- 208 フォトリソ
- 209 サイドウォール
- 210 入射光
- 211 ゲートWSi2電極
- 301 ガラス基板
- 302 遮光WSi2膜
- 303 下地SiO2膜
- 304 poly-Si膜
- 305 ゲート絶縁SiO2膜
- 306 ゲートWSi2電極
- 307 入射光
- 405 アルミ配線

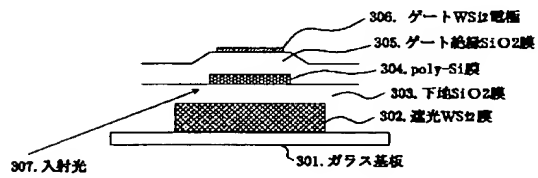
【図1】



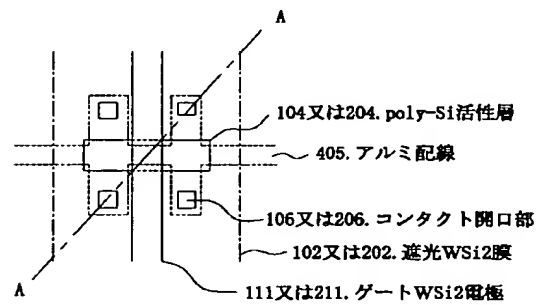
【図2】



【図3】



【図4】



フロントページの続き

F ターム(参考) 2H092 JA25 JA29 JA38 JA42 JA44  
JA46 JB13 JB23 JB32 JB33  
JB38 JB51 KA04 KA07 KA12  
KA16 KA18 MA05 MA08 MA14  
MA15 MA16 MA18 MA19 MA20  
MA27 MA35 MA37 MA41 NA22  
NA25 NA27 PA09  
SF110 AA06 DD02 DD13 EE05 FF02  
GG02 GG13 NN44 NN45 QQ04

This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**